Міністерство освіти і науки України

Національний університет „Львівська політехніка”



**Звіт з лабораторної роботи № 2**

З дисципліни:

“Моделювання комп’ютерних систем”

**Виконав:**

студент групи КІ-201

Бенітез Гектор

**Прийняв:**

Козак Н.Б.

Львів – 2023

**Тема роботи:**

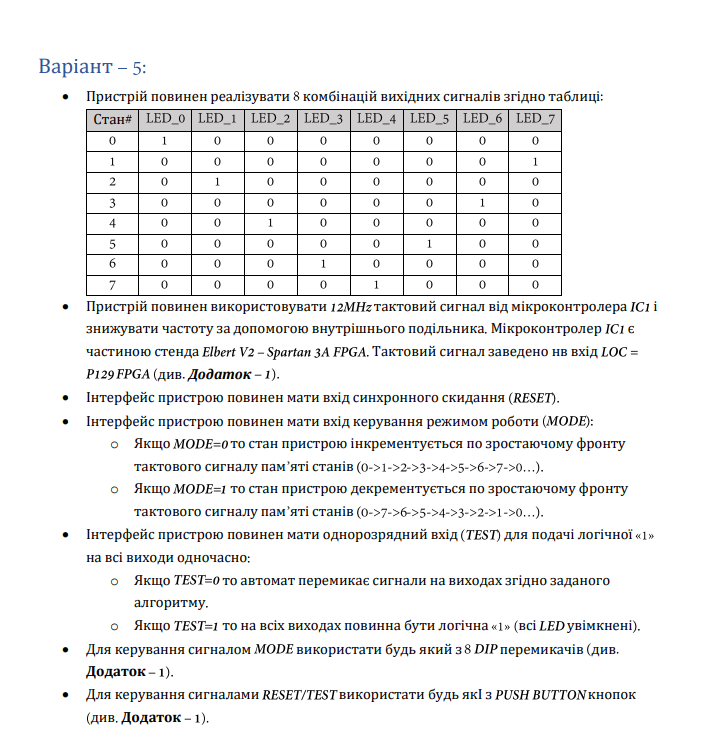
Структурний опис цифрового автомата. Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan 3A FPGA

**Мета роботи:**

На базі стенда Elbert V2 – Spartan 3A FPGA реалізувати цифровий автомат світлових ефектів згідно наступних вимог:

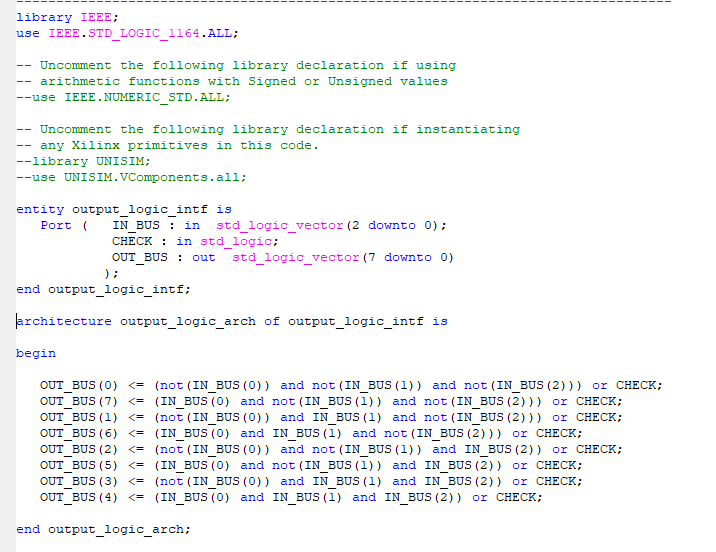
1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання
2. Логіку переходів реалізувати з використанням мови опису апаратних засобів VHDL. Заборонено використовувати оператори if, switch, for, when
3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів VHDL. Заборонено використовувати оператори if, switch, for, when
4. Згенерувати Schematic символи для VHDL описів логіки переходів та логіки формування вихідних сигналів
5. Зінтегрувати всі компоненти (логіку переходів логіку формування вихідних сигналів та пам'ять станів) в єдину систему за допомогою ISE WebPACK Schematic Capture. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки
6. Промоделювати роботу окремих частин автомата та автомата в цілому за допомогою симулятора ISim
7. Інтегрувати створений автомат зі стендом Elbert V2 – Spartan 3A FPGA (додати подільник частоти для вхідного тактового сигналу призначити фізичні виводи на FPGA)
8. Згенерувати BIT файл та перевірити роботу за допомогою стенда Elbert V2 – Spartan 3A FPGA
9. Підготувати і захистити звіт

варіант – 4.

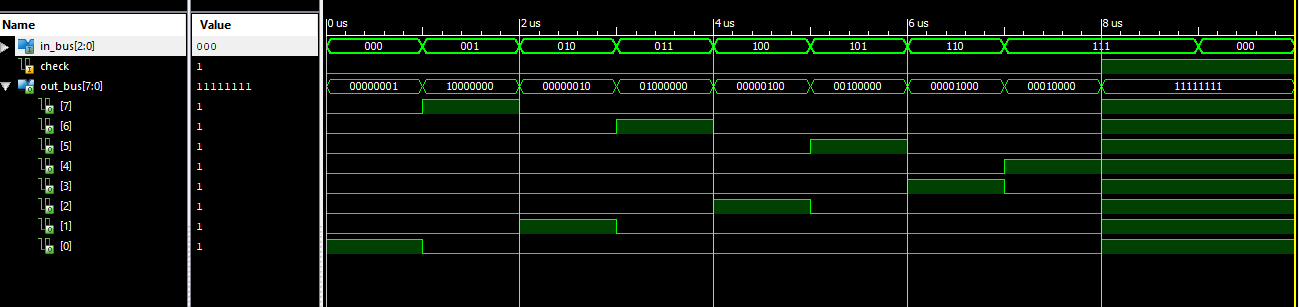


**Виконання роботи:**

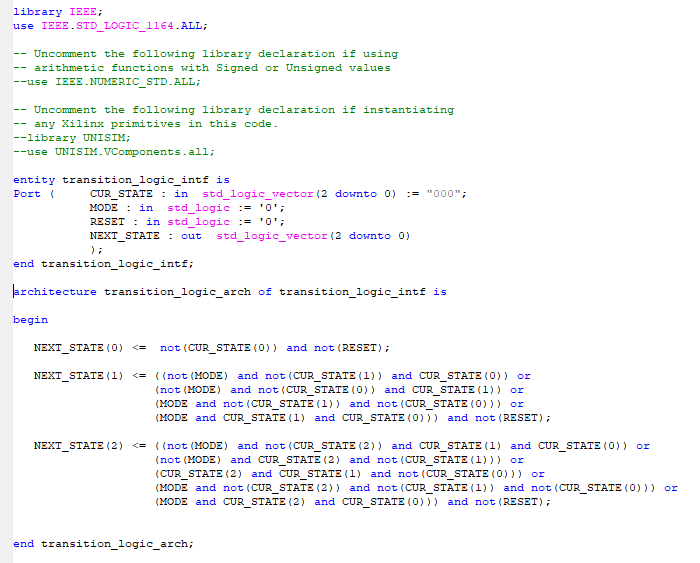
1. Створення файлу VHDL , який реалізовує логіку формування сигналів



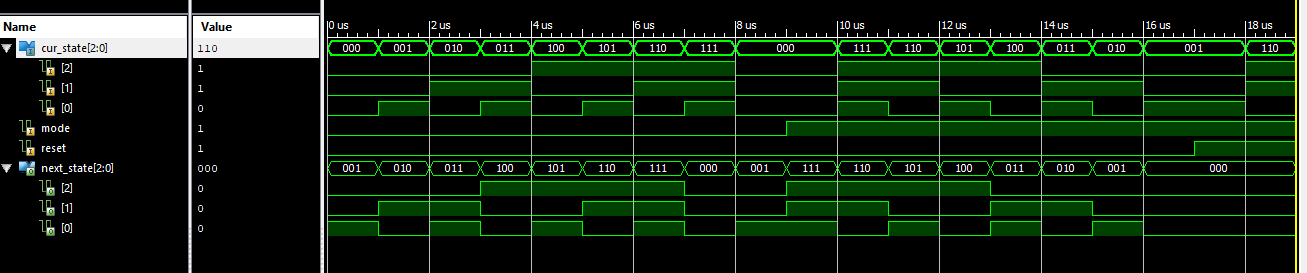
1. Модуляція роботи



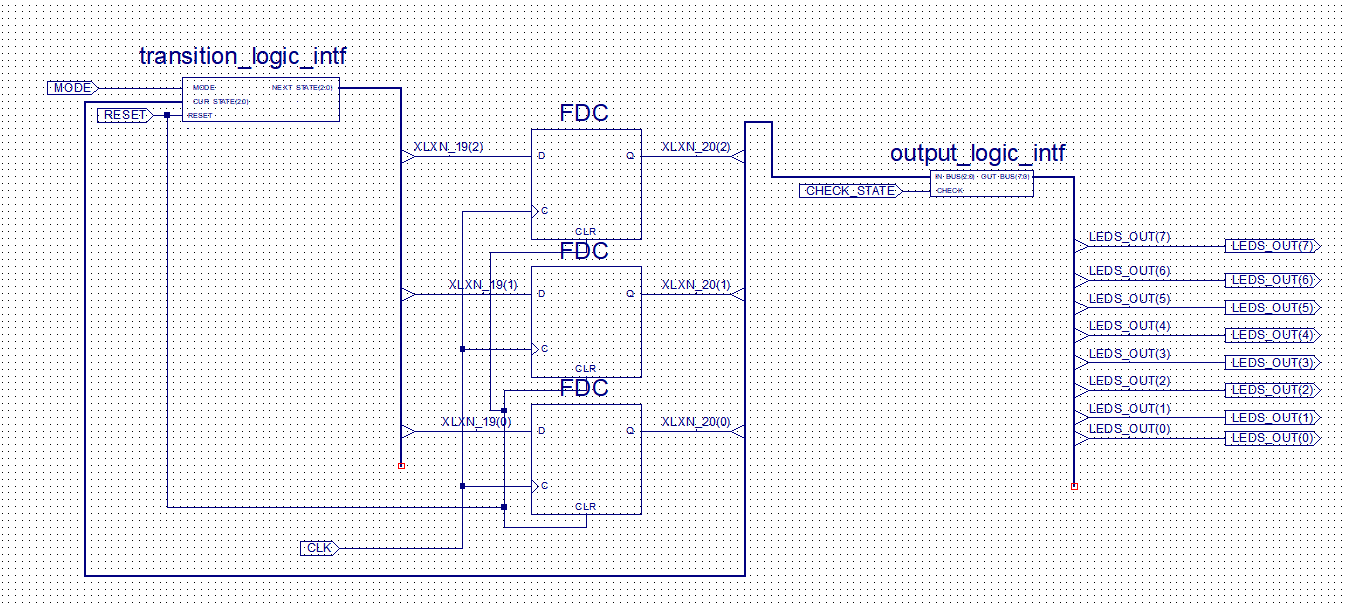
1. Створення файлу VHDL , який реалізовує логіку формування переходів стану автомата



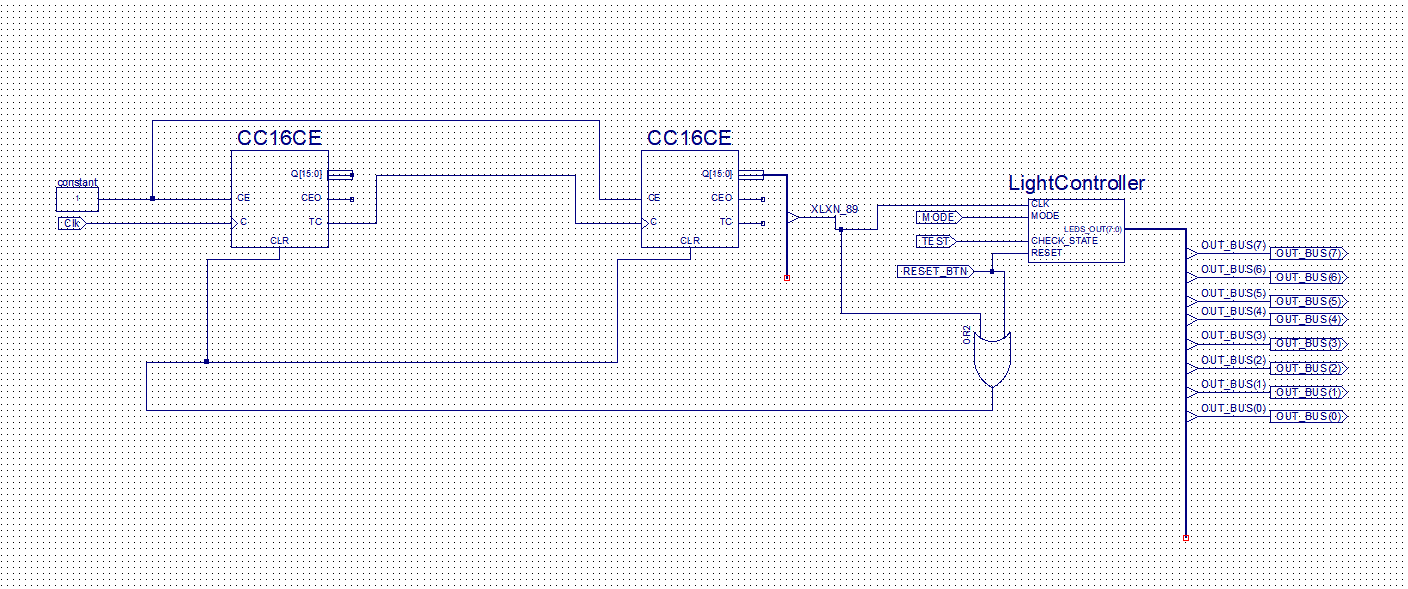
1. Модуляція роботи

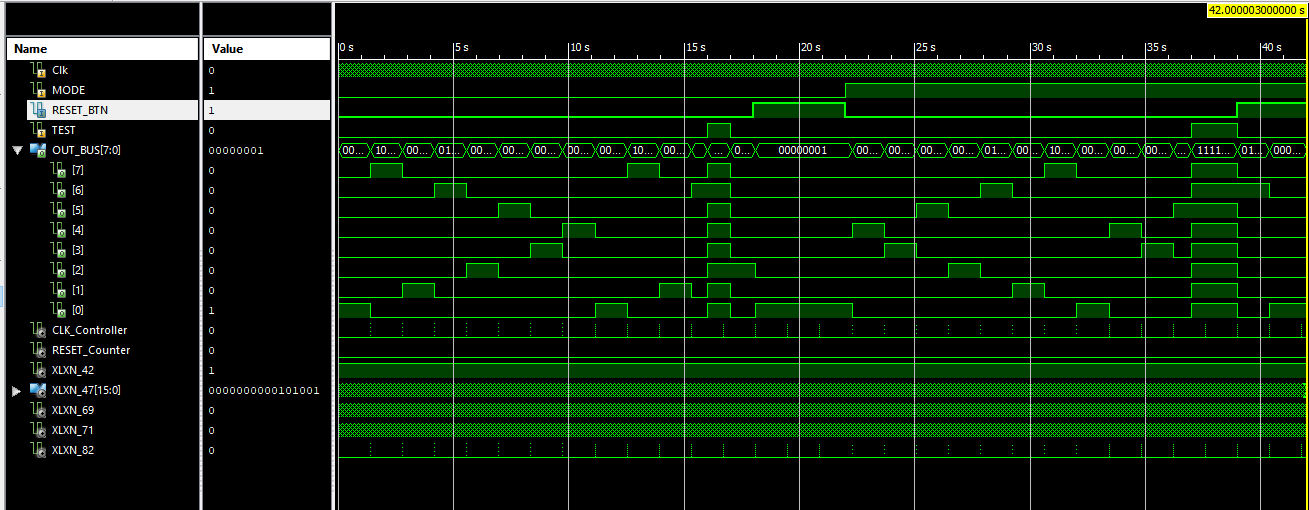


1. Створення схеми з реалізацією пам’яті стану



1. Створення файлу для кінцевої схеми та реалізація подільника частоти.

 7. Модуляція кінцевої схеми.



**Висновок:** На даній лабораторній роботі я на базі стенда Elbert V2- Spartan 3A FPGA реалізував цифровий автомат світлових ефектів. Навчився створювати нові елементи і описувати логіку їх роботи засобами VHDL